



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03064964 A**(43) Date of publication of application: **20.03.91**

(51) Int. Cl.

H01L 27/108
H01L 21/3205
(21) Application number: **01202179**(22) Date of filing: **03.08.89**(71) Applicant: **TOSHIBA CORP**
(72) Inventor: **OZAKI TORU**
HIEDA KATSUHIKO
(54) **MANUFACTURE OF SEMICONDUCTOR MEMORY DEVICE**

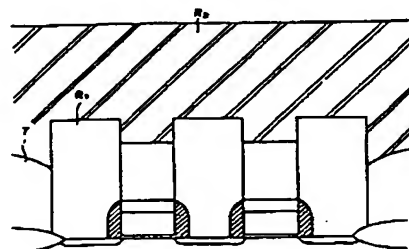
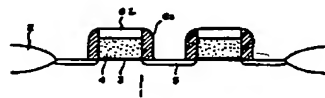
(57) Abstract:

PURPOSE: To obtain a DRAM of laminated type memory cell structure high in reliability by a method wherein a MOSFET is formed, then a resist is formed on a contact forming region, and an insulating film is deposited thereon, which is etched back.

CONSTITUTION: A gate insulating film 3 and a gate electrode 4 are formed on the surface of a P-type silicon substrate 1, and the upper wall of the gate electrode 4 is covered with an insulating film 6t. As ions are implanted using the gate electrode 4 as a mask to form a source and a drain region both formed of an N-type diffusion layer 5 for the formation of a MOSFET which serves as a switching transistor. Then, a side wall insulating film 6s is left on the side wall of the gate electrode 4 in a self-aligned manner. Moreover, a resist R_1 is left inside contacts C1 and C2. Furthermore, a silicon oxide film 7 is deposited on a region excluding the surface of the resist film R_1 . Thereafter, an etching-back resist R_2 is applied so as to make the surface flat. The resist R_2 applied surface is etched back through a reactive ion etching method to

be flattened. Then, the resist R_1 is removed, and a contact is formed.

COPYRIGHT: (C)1991,JPO&Japio



⑫ 公開特許公報(A) 平3-64964

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)3月20日

H 01 L 27/108
21/32058624-5F H 01 L 27/10 3 2 5 C
6810-5F 21/88 K

審査請求 未請求 請求項の数 1 (全12頁)

⑭ 発明の名称 半導体記憶装置の製造方法

⑯ 特 願 平1-202179

⑰ 出 願 平1(1989)8月3日

⑱ 発 明 者 尾 崎 徹 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内⑲ 発 明 者 稗 田 克 彦 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 木村 高久

明 細 書

1. 発明の名称

半導体記憶装置の製造方法

2. 特許請求の範囲

M O S F E Tの形成された基板表面を覆う絶縁膜に開口されたストレージノードコンタクトを介してこのM O S F E Tのソースまたはドレイン領域にキャパシタのストレージノード電極としての第1のキャパシタ電極が接続するようにこの絶縁膜上にキャパシタを積層した積層型キャパシタ構造の半導体記憶装置の製造方法において、

ビット線コンタクトおよびストレージノードコンタクトの形成工程が、

ビット線コンタクトおよびストレージノードコンタクト形成領域にレジストパターンを形成した状態で該レジストパターン間に層間絶縁膜を形成する層間絶縁膜形成工程と、

前記レジストパターンを除去しコンタクトを形成するコンタクト形成工程とを含むようにした

ことを特徴とする半導体記憶装置の製造方法。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、半導体記憶装置の製造方法に係り、特にD R A M等におけるコンタクトの形成に関する。

(従来の技術)

近年、半導体技術の進歩、特に微細加工技術の進歩により、いわゆるM O S型D R A Mの高集積化、大容量化が急速に進められている。

この高集積化に伴い、情報(電荷)を蓄積するキャパシタの面積は減少し、この結果メモリ内容が誤って読み出されたり、あるいはα線等によりメモリ内容が破壊されるソフトエラーなどが問題になっている。

このような問題を解決し、高集積化、大容量化をはかるための方法の1つとして、M O Sキャパシタをメモリセル領域上に積層し、該キャパシタの1電極と、半導体基板上に形成されたスイッチ

ングトランジスタの1電極とを導通させるようにすることにより、実質的にMOSキャパシタの静電容量を増大させるようにした積層型メモリセルと呼ばれるメモリセル構造が提案されている。

この積層型メモリセルは、第20図に示すように、p型のシリコン基板101内に形成された素子分離絶縁膜102によって素子分離された1メモリセル領域内に、n型拡散層からなるソースおよびドレイン領域103と、ソースおよびドレイン領域103間にゲート絶縁膜104を介してゲート電極105とを形成しスイッチングトランジスタとしてのMOSFETを構成すると共に、この上層にMOSFETのソース領域103にコンタクトするようにMOSFETのゲート電極105および隣接メモリセルのMOSFETのゲート電極(ワード線)上に絶縁膜106(CVD法による酸化シリコン膜およびBPSSG膜)を介して形成された多結晶シリコン膜107とシリサイド膜108とからなるビット線109と、さらにこの上層に絶縁膜110(CVD法による酸化シリ

コン膜110aおよびBPSSG膜110b)を介して形成された第1のキャパシタ電極112と、第2のキャパシタ電極113によってキャパシタ絶縁膜114を挟みキャパシタを形成してなるものである。

この積層型メモリセルは、次のようにして形成される。

すなわち、この積層型メモリセルは、p型のシリコン基板101内に、n型拡散層からなるソースおよびドレイン領域103と、ソースおよびドレイン領域103間にゲート絶縁膜104を介してゲート電極105を形成しスイッチングトランジスタとしてのMOSFETを形成する。

次いで、ゲート電極105のまわりを酸化シリコン膜106s、106tで被覆した後、さらに基板表面全体に絶縁膜106としてCVD法による酸化シリコン膜およびBPSSG膜を形成し、熱処理による平坦化を行い、この後ドレイン領域103へのコンタクトを行うためのビット線コンタクトを形成し、多結晶シリコン膜107とシリサ

イド膜108とからなるビット線109を形成する。

この後、基板表面全体に絶縁膜110としてCVD法による酸化シリコン膜110aおよびBPSSG膜110bを形成した後、熱処理による平坦化を行い、ストレージノードコンタクト111を形成し、高濃度にドーパされた多結晶シリコン層からなる第1のキャパシタ電極112のパターンを形成する。

そして、この第1のキャパシタ電極112上に酸化シリコン膜からなるキャパシタ絶縁膜113および、多結晶シリコン層を順次堆積しパターンニングすることにより、第2のキャパシタ電極114と第1のキャパシタ電極112とによってキャパシタ絶縁膜113を挟んだMOSキャパシタが形成され、MOSFETとMOSキャパシタとからなるメモリセルが得られる。

このような構成では、ストレージノード電極を素子分離領域の上まで拡大することができ、また、ストレージノード電極の段差を利用できることか

ら、キャパシタ容量をプレーナ構造の数倍乃至数十倍に高めることができる。

従って、メモリセル面積を縮小しても蓄積電荷量の減少を防止することができる。

さらにまた、ストレージ・ノード部の拡散層は、ストレージノード電極(第1のキャパシタ電極111)下の拡散層103のみとなり、 α 線により発生した電荷を収集する拡散層の面積が極めて小さくソフトエラーに強い構造となっている。

しかし、このようなセル構造では、以下にのべるような欠点がある。

その1つは、平坦性の悪さおよびそれに起因する加工の難しさである。

すなわち、電極数に注目してみると、電荷をストレージ・ノード電極112に蓄えるため、通常のシリコン基板上に蓄える平面セルに比較して電極数が1層多くなる。

このため、上側の層になるほど、下地の平坦性が悪く、フォトリソグラフィやエッチングにおける加工が難しくなり、各電極のオープン不良やシ

ョート不良が多発するという問題がある。

すなわち、ゲート電極、ビット線の段差により、層間絶縁膜の上面と基板とのレベル差が大きくなり、ストレージノード電極の被覆性が低下するのみならず、ストレージノード電極やプレート電極の加工が困難となる。

さらにまた、リソグラフィの合わせずれを考慮して、ゲート電極とビット線コンタクト、ゲート電極とストレージ・ノードコンタクトとの間で余裕をとらなければならないが、高集積化に際しては問題が多い。

また、表面の平坦化のためにBPSG膜を用いているため、BPSG膜から、多結晶シリコン膜108を介してPの拡散が生じ、分離能力が低下するという問題があった。

また、コンタクトホール形成、特にストレージノードコンタクトの形成に際しては、エッチング深さが深いため、RIEに際し、エッチング時間も長く、膜厚の面内不均一に起因するオーバーエッチングによる基板のえぐれが大きい等、RIE

そこで本発明では、MOSFETを形成した後、コンタクト形成領域にレジストを形成し、この上層に絶縁膜を堆積し、エッチバックを行うことにより、平坦化すると共に、レジストを除去し、コンタクトを形成するようにしている。

(作用)

上記構成によれば、コンタクト形成領域にレジストを形成し、この上層に絶縁膜を堆積し、エッチバックを行うようにしており、ゲート電極の側壁に対するRIEダメージがないため、ゲート電極に自己整合的にビット線コンタクトおよびまたはストレージノードコンタクトを形成することができ、微細化が可能となる。

(実施例)

以下、本発明の実施例について図面を参照しつつ詳細に説明する。

第1図(a)および第1図(b)は、本発明実施例の方法で形成された積層型メモリセル構造のDRAMのビット線方向に隣接する2ビット分を示す平面図、およびそのA-B断面図である。

ダメージが大きいという問題がある。

(発明が解決しようとする課題)

このように、積層型メモリセル構造のDRAMにおいても、高集積化に伴う素子の微細化が進むにつれて、ゲート電極とビット線コンタクトおよびストレージノードコンタクトとの合わせ余裕をとらなければならないことが、大きな障害となってきた。

また、表面の平坦化に際し、BPSG膜を用いているため、このBPSG膜からのPの拡散が問題となっていた。

さらに、RIE法を用いたコンタクトの形成をおこなっているため、基板へのダメージが大きいと言う問題があった。

本発明は、前記実情に鑑みてなされたもので、高集積化が可能で、信頼性の高い積層型メモリセル構造のDRAMの製造方法を提供することを目的とする。

(発明の構成)

(課題を解決するための手段)

このDRAMは、p型シリコン基板1内に形成され素子分離絶縁膜2で分離されたメモリセル領域内に、基板表面にゲート絶縁膜3を介して形成されたゲート電極4とこの両側に形成されたソースおよびドレイン領域5とからなるMOSFETと、ストレージノード電極13とプレート電極15とでキャパシタ絶縁膜14を挟むことによって形成されるキャパシタとを形成してなるものである。

このDRAMの特徴は、ビット線コンタクトおよびストレージノードコンタクトが、MOSFETのゲート電極に自己整合的に形成されていることを特徴とするものである。

そして、このストレージノード電極も、層間絶縁膜7内に形成されたコンタクト内の埋め込み層9および10を介してMOSFETのソース・ドレイン5に接続されている。

他部については、通常の積層型メモリセル構造のDRAMと全く同様である。

すなわち、比抵抗 $5\Omega\cdot\text{cm}$ 程度のp型のシリコ

ン基板1内に形成された素子分離絶縁膜2によって分離された活性化領域内に、ソース・ドレイン領域を構成するn型拡散層5と、これらソース・ドレイン領域間にゲート絶縁膜3を介してゲート電極4を形成し、MOSFETを構成すると共に、この上層に形成される層間絶縁膜7内に形成された埋め込み層9、10を介して、このn型拡散層5にコンタクトするように、ビット線が形成されている。

また、層間絶縁膜7内に形成された埋め込み層9、10を介してソース・ドレインの他方の側にコンタクトするストレージノード電極16、キャパシタ絶縁膜17、プレート電極18が形成されている。

そしてゲート電極4はメモリアレイの一方向に連続的に配列されてワード線を構成している。

次に、このDRAMの製造方法について図面を参照しつつ説明する。

第2図乃至第18図は、このDRAMの製造工程を示す図である。第4図乃至第6図において(a)

)および(b)はそれぞれ第4図(c)に示す平面図におけるA-B断面図およびB-C断面図に相当する。

まず、第2図に示すように、比抵抗 $5\Omega\cdot\text{cm}$ 程度のp型のシリコン基板1の表面に、通常の方法により素子分離絶縁膜2を形成した後、熱酸化法により膜厚 10nm の酸化シリコン層を形成した後、CVD法により 200nm の多結晶シリコン層および絶縁膜を堆積し、フォトリソ法および反応性イオンエッチング法によってこれらをパターンニングし、ゲート絶縁膜3およびゲート電極4を形成すると共にゲート電極4の上壁を絶縁膜6tで覆う。そして、このゲート電極4をマスクとしてAsイオンをイオン注入し、n型拡散層5からなるソース・ドレイン領域を形成し、スイッチングトランジスタとしてのMOSFETを形成する。この拡散層の深さは、例えば 150nm 程度とする。この後、CVD法により、例えば膜厚 100nm 程度の窒化シリコン層からなる層間絶縁膜を全面に堆積し、反応性イオンエッチング法により、全面をエ

ッチングし、ゲート電極4の側面に側壁絶縁膜6sとして自己整合的に残置せしめる。このようにしてソース・ドレイン領域が露呈せしめられコンタクトC1、C2が形成される。

さらに、第3図に示すように、レジストを塗布し、フォトリソ法により、このコンタクトC1、C2内にレジストR1を残置せしめる。

そしてさらに、第4図(a)乃至第4図(c)に示すように、シリカを過飽和させた硅フッ化水素酸水溶液を用いた液相成長法(LPD)によりレジスト膜R1表面以外の領域に酸化シリコン膜7を堆積する。ここで、シリカを過飽和させた硅フッ化水素酸水溶液は、シリカを飽和させた硅フッ化水素酸水溶液に硼酸(H_3BO_3)水溶液などを添加することにより得られる。なお、ここで形成するLPD酸化膜7に代えてSOG膜を用いるようにしても良い。

この後、第5図(a)および第5図(b)に示すように、表面を平坦化するためのエッチバック用レジストR2を塗布する。

そして、第6図(a)および第6図(b)に示すように、反応性イオンエッチングによりエッチバックを行い、表面を平坦化する。

この後、第7図に示すように、レジストR1を除去し、コンタクトを形成する。

さらに、第8図に示すように、この上層に、CVD法により、膜厚 50nm 程度の多結晶シリコン9を堆積し、ヒ素またはリンのイオン注入またはリン拡散等により、ドーピングを行ったのち、反応性イオンエッチングにより、パターンニングする。

続いて、第9図に示すように、さらにこの上層にシリサイド膜10を堆積する。なお、これは多結晶シリコン膜でも良い。

そして、第10図に示すようにこのシリサイド膜10および多結晶シリコン9をエッチバックし、このコンタクトC1、C2内にこれらが埋め込まれたような状態で表面を平坦化する。なお、ここではこのシリサイド膜10および多結晶シリコン9はパッド電極を構成するが、ビット線を直接加

工するようにしても良い。

さらに、第11図に示すように、CVD法により酸化シリコン膜11を堆積したのち、レジストパターンR2'をマスクとしてフォトリソ法および反応性イオンエッチングにより、ビット線コンタクトを開口する。

そして、第12図に示すように、シリサイド膜13、絶縁膜12を堆積し、反応性イオンエッチングにより両者をエッチングしてビット線13をパターンニングする。

さらに、第13図に示すように、全面に酸化シリコン膜を堆積し、反応性イオンエッチング法により、エッチバックし、側壁にのみこの酸化シリコン膜14を残留せしめ、さらにストレージノードコンタクト形成領域にレジストR3を形成し、この上層に第4図に示したのと同様に、シリカを過飽和させた珪フッ化水素酸水溶液を用いた液相成長法(LPD)によりレジスト膜R3表面以外の領域に酸化シリコン膜15を堆積する。

そして、第14図に示すように、レジストR4

を塗布し表面を平坦化する。

この状態で、第15図に示すように、反応性イオンエッチングによりエッチバックを行い、表面を平坦化する。

この後、第16図に示すように、レジストR3を除去し、ストレージノードコンタクトを形成する。

さらに、第17図に示すように、ウェットエッチングにより、シリサイド膜10の表面を露呈せしめ、この上層に、CVD法により、膜厚50nm程度の多結晶シリコン16を堆積し、ヒ素またはリンのイオン注入またはリン拡散等により、ドーピングを行う。

この後、第18図に示すように、フォトリソ法および反応性イオンエッチング法により、パターンニングし、ストレージノード電極をパターンニングする。R5はレジストである。

そして、キャパシタ絶縁膜17およびプレート電極18を形成し、キャパシタを完成し、第1図に示したようなDRAMが完成する。

このようにして形成されたDRAMはビット線およびストレージノードコンタクトがゲート電極に対して自己整合的に形成されており、セル面積の大幅な小形化をはかることができる。また、コンタクトの形成に際し、エッチバックを行うようにしており、ゲート電極の側壁に対するRIEダメージがないため、ビット線およびストレージノードコンタクトがゲート電極に対して自己整合的に形成されていても、絶縁耐圧を高く維持することができ信頼性は極めて高いものとなっている。また、平坦化時に熱工程がはいらないため、拡散層を浅く形成することができる。

なお、前記実施例では、第7図に示したように、コンタクトを開口した後、第19図に示すように、シリコンの選択的エピタキシャル成長法を用いてこのコンタクト内にシリコン層501を成長せしめるようにしてもよい。

この後は、第11図に示したのと同様の工程を実行すれば良い。

このように選択的エピタキシャル成長法を用い

ることにより、工程の簡略化をはかることができる。また、シリコンの選択的成長法を用いた場合、成長層上部に濃い拡散層を形成し、直接シリサイドを接触させるようにしても良い。このようにすれば多結晶シリコン層を形成する必要がなく、薄くすることが可能となる。

なお、キャパシタ絶縁膜としては酸化シリコン膜と窒化シリコン膜の2層構造膜の他、酸化シリコン膜や五酸化タンタル(Ta_2O_5)等の金属酸化膜を用いるようにしても良い。

また、第1のキャパシタ電極としては多結晶シリコン膜を用いたが、必ずしも多結晶シリコン膜に限定されるものではなく、タングステン薄膜を用いるなど適宜変更可能である。

〔発明の効果〕

以上説明してきたように、本発明の半導体記憶装置の製造方法によれば、MOSFETを形成した後、コンタクト形成領域にレジストを形成し、この上層に絶縁膜を堆積し、エッチバックを行うことにより、平坦化すると共に、レジストを除去

し、コンタクトを形成するようにしているため、ゲート電極の側壁に対するR I Eダメージがないため、ゲート電極に自己整合的にビット線コンタクトおよびまたはストレージノードコンタクトを形成することができ、微細化が可能となる。

また、コンタクト形成時に、R I Eを用いないため、ゲート電極とビット線あるいはストレージノード電極間の絶縁膜にダメージがなく、絶縁耐圧が向上し、歩留まりが向上する。

また、B P S Gを用いないため、コンタクト間分離が向上し歩留まりの向上をはかることができる。

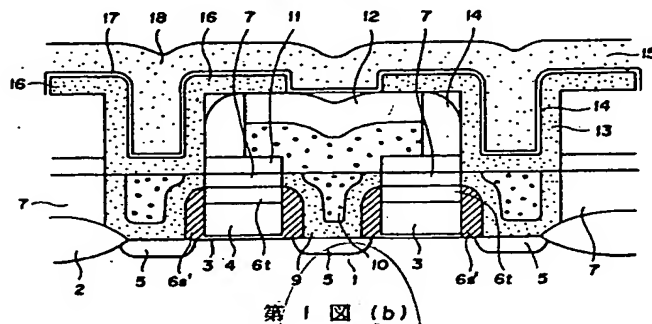
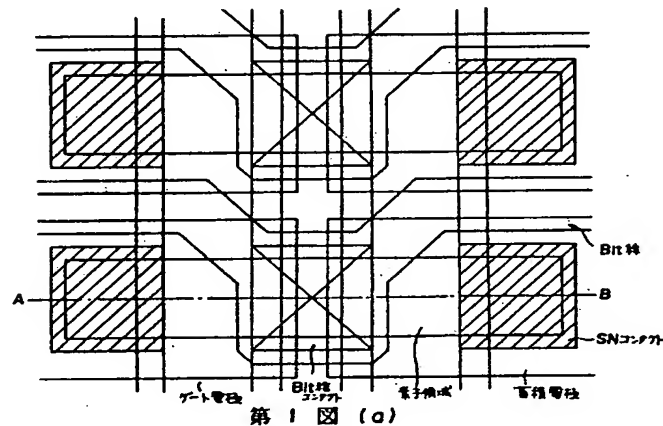
また、熱工程による平坦化が不要となるため、トランジスタの微細化をはかることができる。

4. 図面の簡単な説明

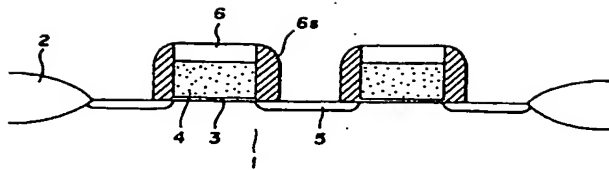
第1図(a)および第1図(b)は、本発明実施例の積層形メモリセル構造のD R A Mのビット線方向に隣接する2ビット分を示す平面図およびそのA-A'断面図、第2図乃至第18図はこのD R A Mの製造工程を示す図、第19図は本発明の他

の実施例の製造工程の一部を示す図、第20図は従来例のD R A Mを示す図である。

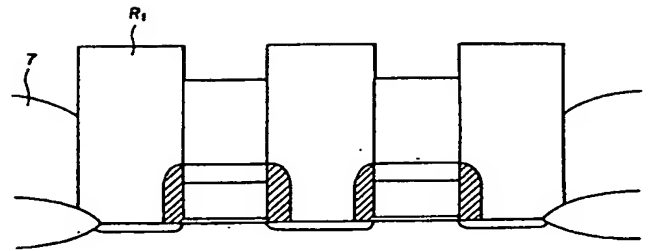
1…p型のシリコン基板、2…素子分離絶縁膜、3…ゲート絶縁膜、4…ゲート電極、5…n型拡散層、6, 7, 11…層間絶縁膜、9…多結晶シリコン膜、10…シリサイド膜、12…絶縁膜、13…シリサイド膜(ビット線)、14, 15…酸化シリコン膜、16…第1のキャパシタ電極(ストレージノード電極)、17…キャパシタ絶縁膜、18…第2のキャパシタ電極(プレート電極)、101…p型のシリコン基板、102…素子分離絶縁膜、103…ソース・ドレイン領域、104…ゲート絶縁膜、105…ゲート電極、106…絶縁膜、107…多結晶シリコン膜、108…シリサイド膜、109…ビット線、110…層間絶縁膜、111…ストレージノードコンタクト、112…第1のキャパシタ電極、113…キャパシタ絶縁膜、114…第2のキャパシタ電極。



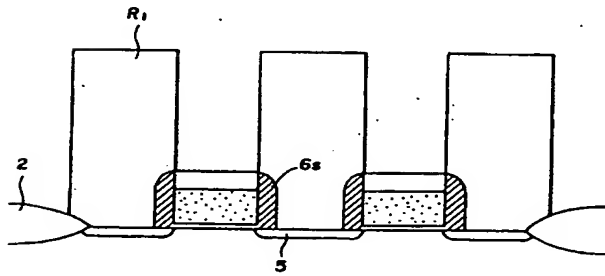
第1図(b)



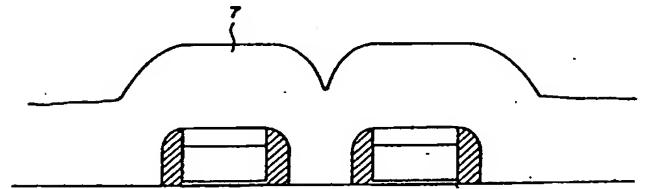
第 2 図



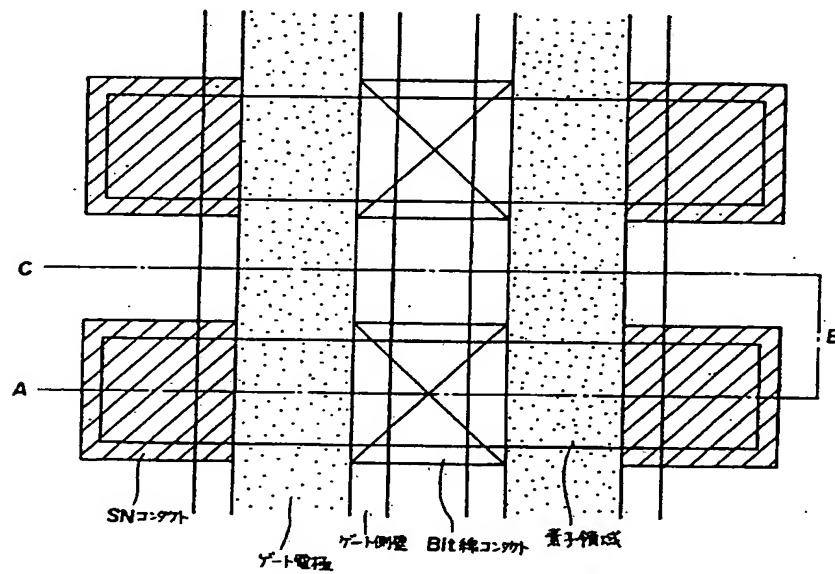
第 4 図 (a)



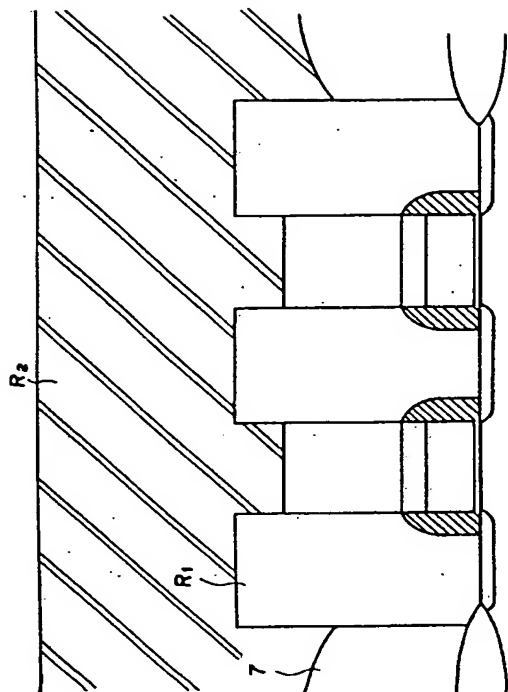
第 3 図



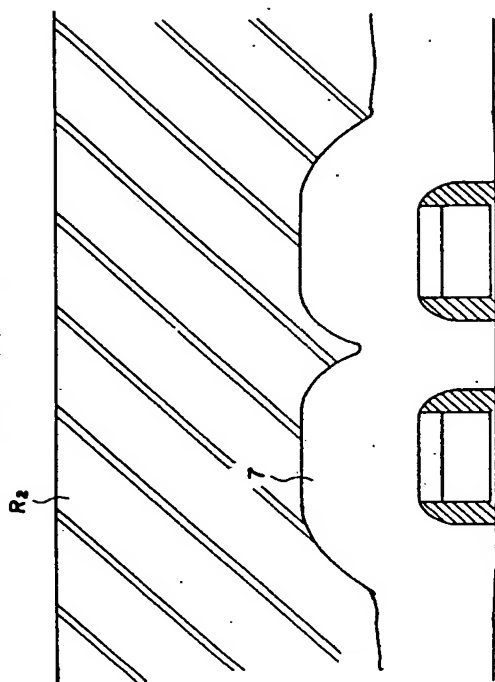
第 4 図 (b)



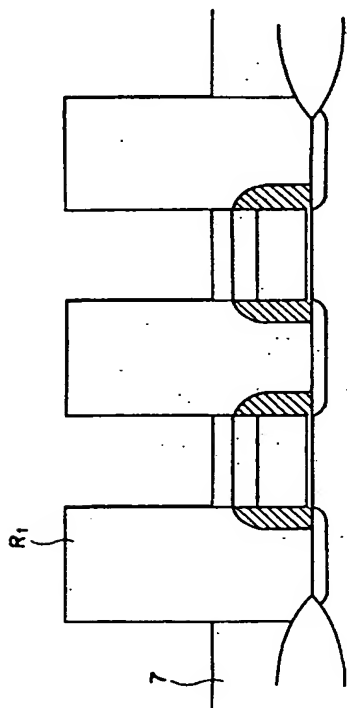
第 4 図 (c)



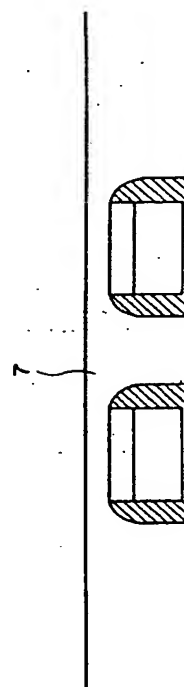
第 5 図 (a)



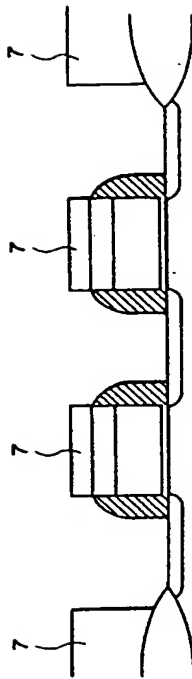
第 5 図 (b)



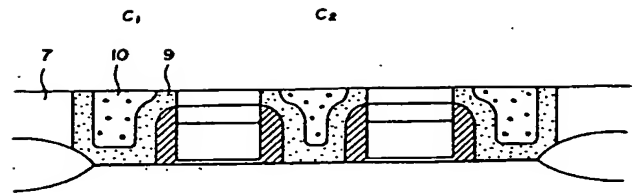
第 6 図 (a)



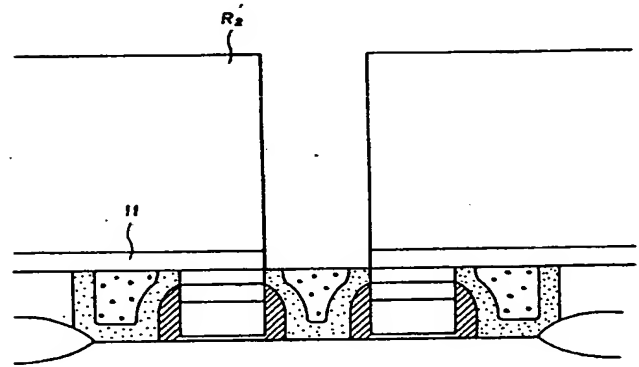
第 6 図 (b)



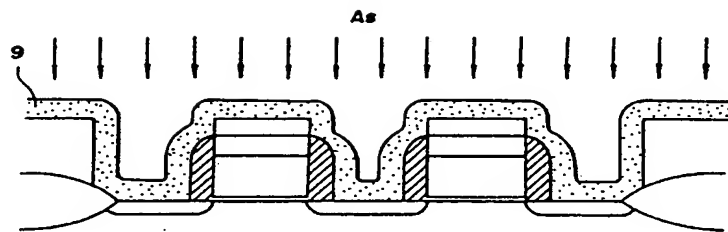
第 7 図



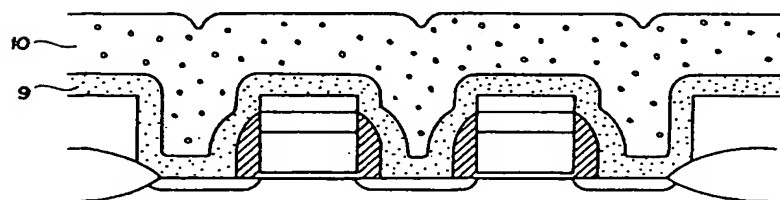
第 10 図



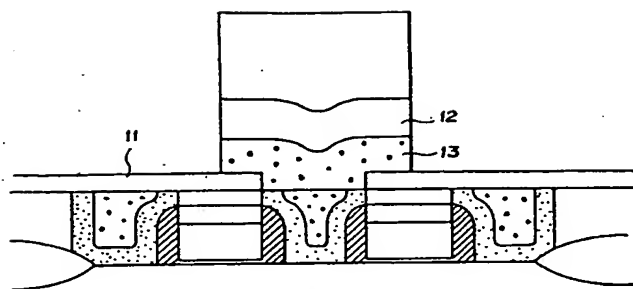
第 11 図



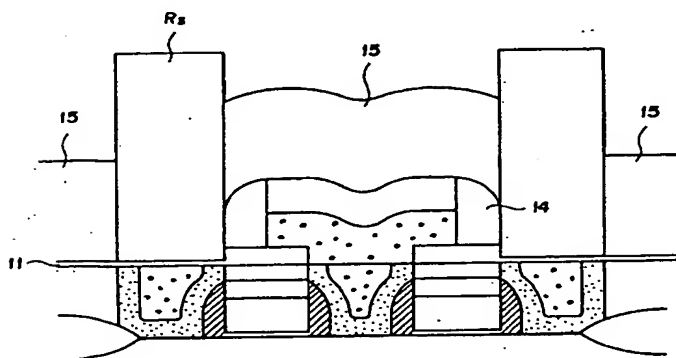
第 8 図



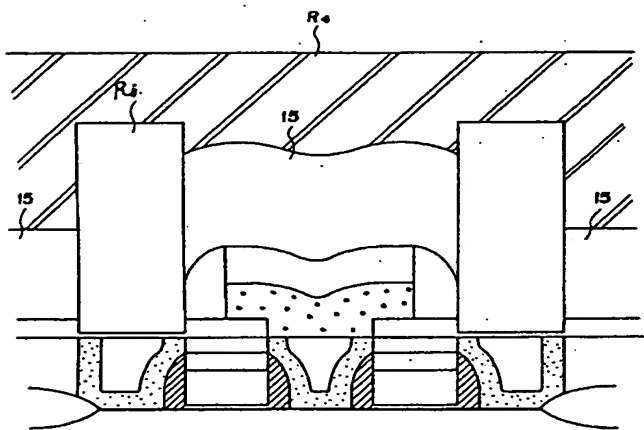
第 9 図



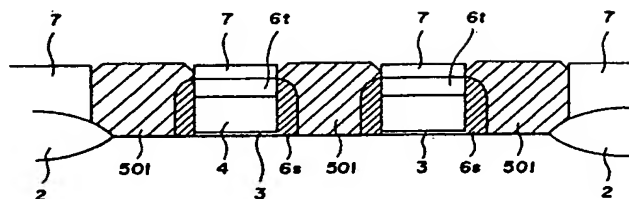
第 12 図



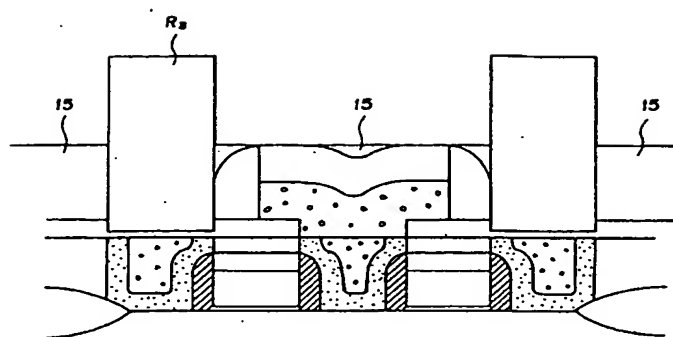
第 13 図



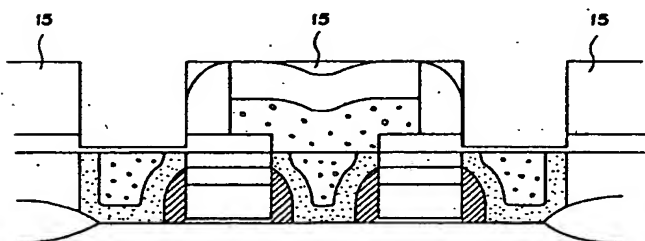
第 14 図



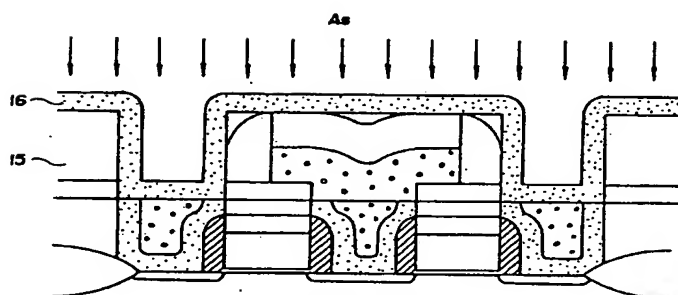
第 19 図



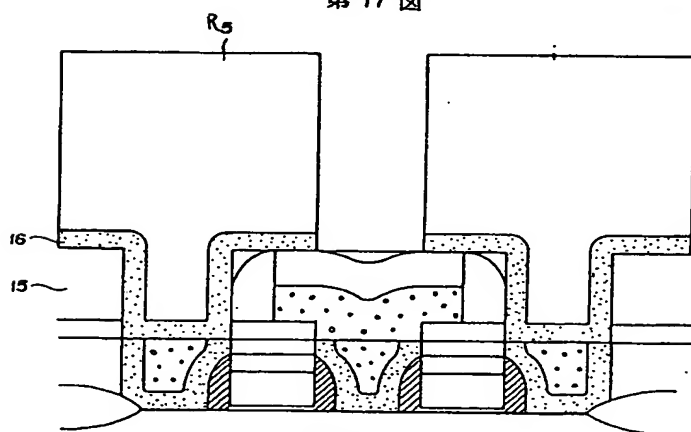
第 15 図



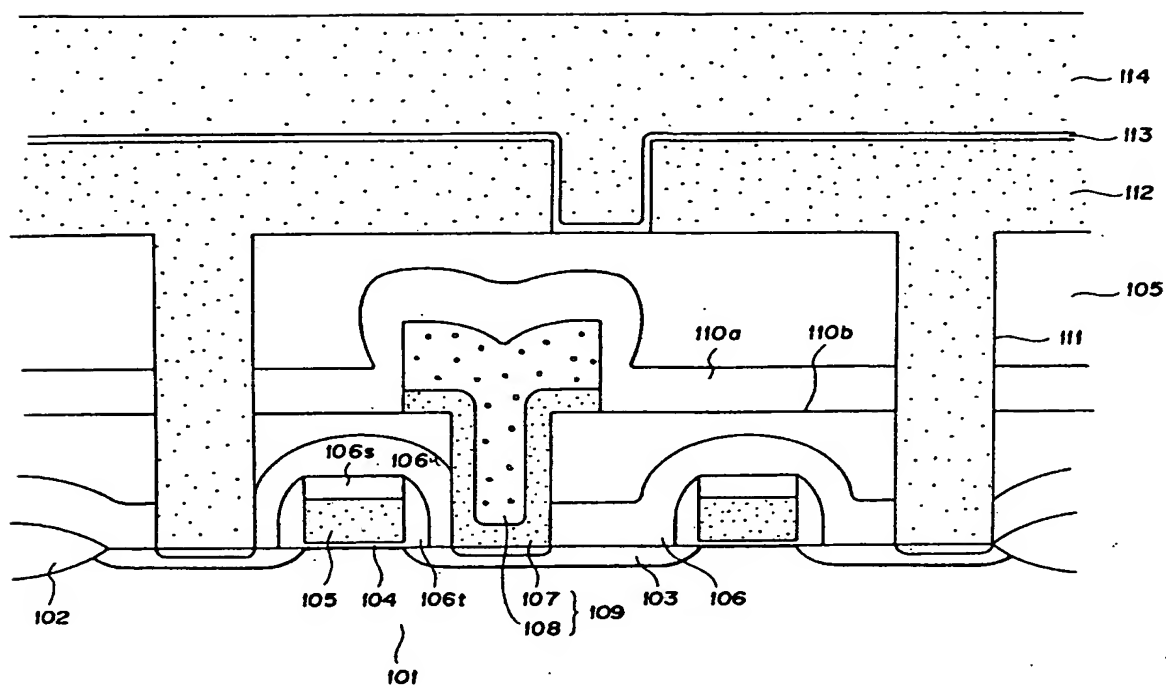
第 16 図



第 17 図



第 18 図



第 20 図